

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-140439

(43)Date of publication of application : 02.06.1995

(51)Int.Cl.

G02F 1/133

G09G 3/36

(21)Application number : 05-287038

(71)Applicant : SHARP CORP

(22)Date of filing : 16.11.1993

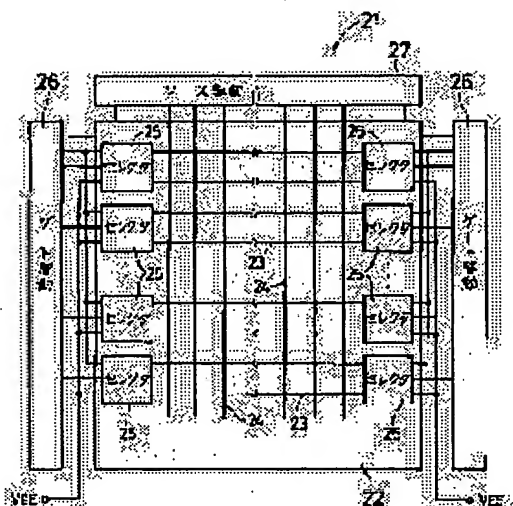
(72)Inventor : INOUE MASAMI
MAKII TOSHIYUKI

(54) DISPLAY DEVICE

(57)Abstract:

PURPOSE: To improve display quality by selectively outputting a display panel driving signal inputted to an input terminal to each display signal line by a selector provided for the every specified number of display signal lines at a specified timing.

CONSTITUTION: Gate lines 23 and source lines 24 being a plurality of display signal lines orthogonal each other, are formed on a display panel 22 and two gate lines 23 are connected to respective selectors 25. In the respective selectors 25 the same gate line 23 is simultaneously selected, the same gate driving signal inputted from a gate driving circuit 26 is outputted to both ends of the gate line 23 and the gate line 23 for outputting a driving signal by a selecting signal outputted from a selecting signal generating circuit is selected by each selector 25. Thus, when the gate driving circuit 26 and the display panel are connected, the number of connections is reduced, a space between the connection terminals of the gate driving circuit 26 and the display panel is made large and high quality and highly sensitive display is made possible.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

*** NOTICES ***

JP0 and NCIP1 are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] A display panel is a display characterized by including the means for switching alternatively outputted to each display signal line to the timing which is prepared for every display signal line of the number beforehand appointed at the input terminal into which the driving signal from said driving means is inputted as two or more display signal lines with which the driving signal from said driving means is given in the display equipped with the display panel and the driving means which drives said display panel, and defines the driving signal from said input terminal beforehand.

[Translation done.]

*** NOTICES ***

JP0 and NCIP1 are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the display with which a driving signal is given to a display signal line sequentially.

[0002]

[Description of the Prior Art] Drawing 11 is the block diagram showing the configuration of the conventional whole liquid crystal display 1. Drawing 11 shows the liquid crystal display 1 indicated by JP,1-101520,A. As shown in drawing 11 R> 1, on the other hand, two or more gate lines 3 and two or more source lines 4 are formed in the direction of [of the substrates of the pair which intervenes and counters a liquid crystal layer] which intersects perpendicularly mutually on a substrate 2. Moreover, the pixel electrode which is not illustrated is formed in the field corresponding to each pixel on a substrate 2 in the shape of a matrix, and said each pixel electrode is connected to the drain of TFT (thin film transistor) which is not illustrated. The gate of TFT is connected to the gate line 3, and the source of TFT is connected to the source line 4. While flow potential is impressed to the gate through the gate line 3, it flows through said TFT, and the source driving signal from the source drive circuit 7 is impressed to a pixel electrode in the meantime. Thus, the liquid crystal layer by which it is placed between inter-electrode [said] drives based on a source driving signal according to the potential difference of the counterelectrode which counters said pixel electrode and is arranged and which is not illustrated, and a pixel electrode.

[0003] For example, with the liquid crystal display 1 for which high definition display grace is needed by the medium size and the small module, signal lines, such as the gate line 3 and the source line 4, are formed very much in high density like the project (projection) mold liquid crystal display 1. on the other hand, TAB (Tape Automated Bonding) — in the connection structure of the terminal by law etc., a limitation is in a connection pitch. For this reason, the gate line 3 and the source line 4 are pulled out by turns in the right and left and the vertical direction of a substrate 2 which are shown in drawing 11 , and are connected to each terminal of the gate

drive circuit 6 mounted in TCP (Tape Carrier Package)5 etc., respectively, and the source drive circuit 7.

[0004] Drawing 12 is the block diagram showing the configuration of the conventional whole liquid crystal display 8. Drawing 12 shows the liquid crystal display 8 indicated by publication of unexamined utility model application Showa 64-40823. As shown in drawing 12, the gate line 10 and the source line 11 of a liquid crystal display 8 which are formed on a substrate 9 are pulled out by right and left of a substrate 9, and the vertical direction both ends, and are connected to each terminal of the gate drive circuit 13 mounted on TCP12, respectively, and the source drive circuit 14.

[0005] For example, in the large-sized liquid crystal display 8, the voltage drop of a driving signal and the wave-like distortion of a driving signal are produced with the internal resistance and internal capacity which signal lines, such as the gate line 10 and the source line 11, have. This phenomenon becomes more remarkable [the further pixel from the input edge of a driving signal] in each signal line. For this reason, in the pixel concerned, the level of the driving signal impressed to a pixel electrode becomes low, and the impression time amount of a driving signal becomes short. Since the potential in which the display of the pixel concerned differed from the display based on a driving signal is impressed by this and this happens for every vertical-scanning period by it, it will seem that this pixel is blinking and a flicker will be produced. In order to prevent this, in the large-sized liquid crystal display 8, the gate driving signal same from both ends and source driving signal of each gate line 10 and each source line 11 are impressed by each gate drive circuit 13 and the source drive circuit 14 which were connected to the both ends of each gate line 10 and each source line 11 as shown in drawing 12.

[0006] Drawing 13 is the block diagram showing the configuration of the conventional whole liquid crystal display 15. Drawing 13 shows the liquid crystal display 15 indicated by JP.64-49022,A. the gate line 17 and the source line 18 form in the direction in which the screens for viewfinders etc. intersect perpendicularly mutually on a substrate 16 in the liquid crystal display 15 below a 1 inch angle as shown in drawing 1313 — having — the edge of a substrate 16 — COG (Chip on Glass) — the gate drive circuit 19, the source drive circuit 20, etc. which consist of the bare chip IC mounted by law etc. are connected. Thus, the direct-drive circuits 19 and 20 are mounted on a substrate 16, and the miniaturization of a liquid crystal display 15 is attained.

[0007]

[Problem(s) to be Solved by the Invention] In the liquid crystal display 1 shown in drawing 11, if the number of the gate line 3 increases by highly minute-ization, the write time to a pixel will become short. For this reason, the flicker by distortion of the contrast unevenness by the ability of a motion of a liquid crystal molecule not to follow in footsteps of a driving signal and the drive signal wave form resulting from the capacity of a signal line is produced, and deterioration of display grace is caused.

[0008] At the liquid crystal display 8 shown in drawing 12, since connection between signal lines 10 and 11 and the drive circuits 13 and 14 is 1:1, with the liquid crystal display of medium size extent, the connection pitch between terminals becomes small too much, and it cannot connect by the TAB method.

[0009] The liquid crystal display 15 whole can be miniaturized in the liquid crystal display 15 shown in drawing 13, and connection between the high-density signal lines 17 and 18 and the drive circuits 19 and 20 is also possible. However, the mounting process of the drive circuits 19 and 20 is complicated, when a faulty connection etc. occurs, ***** of the drive circuits 19 and 20 is not made like the TAB method, but it is necessary to exchange the substrate 16 whole. For this reason, the demerit in a cost side is large.

[0010] The purpose of this invention is canceling said technical problem and offering the high display of display grace.

[0011]

[Means for Solving the Problem] A display panel is a display characterized by to include the means for switching alternatively outputted to each display signal line to the timing which is prepared for every display signal line of the number beforehand appointed at the input terminal into which the driving signal from said driving means is inputted as two or more display signal lines with which the driving signal from said driving means is given in the display with which this invention was equipped with the display panel and the driving means which drives said display panel, and defines the driving signal from said input terminal beforehand.

[0012]

[Function] If this invention is followed, a display panel is constituted including two or more display signal lines, an input terminal, and a means for switching. The driving signal from a driving means is inputted into an input terminal, and is alternatively outputted to each display signal line to the timing defined beforehand by the means for switching established for every display signal line of the number appointed beforehand.

[0013] By this, the number of the terminals connected between a driving means and a display panel can be

conventionally decreased even from what was the number of display signal lines to the number of the input terminals connected to a means for switching.

[0014]

[Example] Drawing 1 is the block diagram showing the configuration of the whole indicating equipment 21 which is one example of this invention. As shown in drawing 1, on a display panel 22, the gate line 23 and the source line 24 which are two or more display signal lines are formed in the direction which intersects perpendicularly mutually. The gate line 23 is connected to the selector 25 which is the means for switching prepared in the both ends of every 2 gate line 23. Each selector 25 is connected with the gate drive circuit 26 mounted in the both ends of the gate line 23 by the TAB method, respectively. Each selector 25 prepared in the both ends of the gate line 23 chooses the one same gate line 23 as coincidence, and outputs the same gate driving signal inputted from the gate drive circuit 26 to the both ends of the gate line 23. It connects with the selection-signal generation circuit which is prepared outside and which is not illustrated, and each selector 25 chooses the gate line 23 which should output a driving signal with the selection signal outputted from a selection-signal generation circuit. Gate OFF state voltage VEE inputted into each selector 25 from the exterior is outputted to the gate line 23 which is not chosen. Moreover, the source drive circuit 27 is mounted in the one side edge of the remainder of a display panel 22 by the TAB method. The one side edge of each source line 24 is connected to said source drive circuit 27, and the source driving signal from the source drive circuit 27 is outputted to each source line 24.

[0015] Drawing 2 is the circuit diagram showing the electric configuration of each pixel of a display 21, and drawing 3 is the perspective view showing the configuration of the pixel of a display 21. The indicating equipment 21 of this example is a liquid crystal display of a active-matrix mold, and as shown in drawing 2 and drawing 3, the pixel electrode 29 connected to TFT28 and said TFT28 is formed in each pixel field surrounded by the gate line 23 formed in the direction which intersects perpendicularly mutually, and the source line 24. The gate of TFT28 is connected to the gate line 23, and the source is connected to the source line 24. Moreover, the drain of TFT28 is connected to the pixel electrode 29. Through the gate line 23, when a flow electrical potential difference is impressed to the gate, it flows through TFT28. At this time, the source driving signal from the source line 24 is impressed to the pixel electrode 29. As shown in drawing 2, on the substrate which counters through the liquid crystal layer 30 to said pixel electrode 29, the counterelectrode 31 formed all over the substrate is arranged, and opposite potential is given. The liquid crystal layer 30 of each pixel is driven based on a source driving signal according to the potential difference of the pixel electrode 29 and a counterelectrode 31.

[0016] Drawing 4 is the block diagram showing the connection of the gate line 33 of an indicating equipment 32 and the gate drive circuit 34 which are other examples of this invention. The indicating equipment 32 shown in drawing 4 is a liquid crystal display of a active-matrix mold like the indicating equipment 21 shown in drawing 1. A display 32 is connected to the selector 35 whose both ends of the gate line 33 which is a display signal line are means for switching eight [at a time]. Each selector 35 is formed in the both ends of the gate line 33 on a display panel 36, and connects alternatively in order the gate line 33 connected to the selector 35 by the selection signals A, B, and C from an external circuit, and Inhibit. The gate driving signal outputted to eight gate lines 33 is inputted into the driving signal input terminal 37 of a selector 35 by the serial signal from the gate drive circuit 34.

[0017] With selection signals A, B, and C, a selector 35 connects the gate line 33 to the driving signal input terminal 37 for every period of a gate driving signal line sequential, and outputs a gate driving signal to each gate line 33. The gate OFF state voltage from the power source which is not illustrated is impressed to the gate line 33 which is not connected to the driving signal input terminal 37. After the scan period of eight gate lines 33 connected to the selector 35 concerned expires, the flow of a selector 35 is intercepted by the selection signal Inhibit, and eight gate lines 33 connected to the following selector 35 are chosen as line sequential.

[0018] For example, as shown in drawing 4, about eight gate lines 33, eight gate lines 33 are connected to the selector 35 of two both sides formed on the display panel 36 from the top in the drawing 4 space, and selection signals A, B, and C and Inhibit are inputted into a selector 35 from an external circuit. The gate driving signals x0-x7 outputted to eight gate lines 33 from the gate drive circuit 34, respectively are inputted into the driving signal input terminal 37 of a selector 35 by the serial signal X0. For every period of one pulse of the serial signal X0, a selector 35 chooses the gate line 33 from a top as line sequential, and outputs the gate driving signals x0-x7 to each gate line 33. Gate OFF state voltage VEE from the power source which is not illustrated is impressed to the gate line 33 which is not chosen. After the output of the gate driving signal x7 is completed, by the selection signal Inhibit, a selector 35 is intercepted and the following selector 35 is chosen. In eight gate lines 33 connected to the following selector 35, the gate driving signals x8-x15 are outputted to line sequential from a top.

[0019] In drawing 4 , although only the one side edge of the gate line 33 was shown, it has the gate drive circuit 34, a selector 35, etc. also like the another side edge of the gate line 33, and a gate driving signal is outputted like the both ends of the gate line 33.

[0020] Drawing 5 is the table of truth value for explaining selection actuation of a selector 35. Selection signals A, B, and C and Inhibit are inputted by the binary signal of H (high-level) or L (low level). H is expressed with "1" and L is expressed with "0" to the table of truth value shown in drawing 5 . As shown in drawing 5 , when a selection signal Inhibit is L, the flow of a selector 35 is attained and it can carry out eight kinds of selection in outputs with the combination of the binary signal of selection signals A, B, and C. For example, if the first gate line 33 is chosen and then a selection signal A is set to H when selection signals A, B, and C are L altogether, the next gate line 33 will be chosen. Hereafter, the gate line 33 is chosen one by one similarly. Thus, the parallel output of the gate driving signals x0-x7 can be carried out on each gate line 33 from the serial signal X0 by choosing equally to the period of one pulse of a gate driving signal the period when one gate line 33 is chosen with the pulse width of selection signals A, B, and C.

[0021] Drawing 6 is the block diagram showing the more detailed configuration of a selector 35. As shown in drawing 6 (a), a selector 35 contains two or more analog switches 40 connected to the level converter 38, a decoder 39, and this. With the electrical potential differences VDL and VEL supplied from an external power, selection signals A, B, and C and the level of Inhibit are adjusted to level detectable to a decoder 39, and the level converter 38 outputs them to a decoder 39. A decoder 39 outputs a control signal to the analog switch 40 connected to each gate line 33 alternatively based on the truth table shown in drawing 5 . Each analog switch 40 flows alternatively with the control signal from a decoder 39.

[0022] As each gate line 33 is shown in drawing 6 (b), when it connects with the gate-off power source which is not illustrated through Resistance R and the analog switch 40 is intercepted, gate OFF state voltage VEE is impressed. Moreover, as shown in drawing 6 (a), the gate driving signal X0 of a serial signal is inputted into each gate line 33 which is eight of the beginning from the driving signal input terminal 37 through the analog switch 40, and when an analog switch 40 flows on a sequential selection target from a top based on the control signal from a decoder 39, the parallel output of the gate driving signals x0-x7 is carried out on each gate line 33.

[0023] Drawing 7 is the circuit diagram showing an example of the equal circuit of an analog switch 40. As shown in drawing 7 , an analog switch 40 is a switch which can be outputted and inputted bidirectionally, and an analog signal and a digital signal can flow through it. In the input/output terminal section, it prevents that the electrical-potential-difference regulation circuit which consists of resistance is connected with diode, an excessive electrical potential difference is built over an analog switch 40 and an indicating equipment 32, and an internal transistor is damaged. The control signal from a decoder 39 is inputted from the control input terminal connected to a CMOS inverter.

[0024] For example, supposing the control signal of L is inputted into a control input terminal, the transistor T2 which the transistor T1 which consists of N channel FET flows, and consists of P channel FET will be intercepted. Therefore, the potential in Node P is set to H (VDD), and the potential in Node Q is set to L. Therefore, transistor T3 of the P channel by which the gate is connected to P points, T four, and T5 and T8 are intercepted. Moreover, the transistors T6, T7, and T9 of the N channel to which the gate is connected at Node Q are also intercepted. An analog switch 40 is intercepted by this.

[0025] On the other hand, if the control signal of H is inputted into a control input terminal, the transistor T1 of a P channel will flow and the transistor T2 of an N channel will be intercepted. Therefore, the potential of Node P is set to L (VE), and the potential of Node Q is set to H (VDD). By this, transistor T3 of the P channel to which the gate is connected at Node P, T four, and T5 and T8 flow, and the transistors T6, T7, and T9 of the N channel to which the gate is connected at Node Q flow through them. Between the input/output terminals of an analog switch 40 flows by this.

[0026] Drawing 8 is the block diagram showing the configuration of the gate drive circuit 34. As shown in drawing 8 , including a shift register 41, a level shifter 42, and an output buffer 43, the gate drive circuit 34 is constituted, for example, consists of LSI of 120 outputs. The control circuit 44 prepared outside is connected to a shift register 41. A control circuit 44 generates the clock signal CLS and start pulse SPS for driving the gate drive circuit 34 based on clock signal CL and the start pulse SP from the outside. A shift register 41 outputs the pulse for a gate drive one by one based on a clock signal CLS and a start pulse SPS. A level shifter 42 changes the pulse for a gate drive from a shift register 41 into the wave of a voltage level required for ON/OFF of TFT formed in the indicating equipment 32. Thus, the generated gate driving signal is outputted to one output terminal through the OR circuit which is not illustrated eight every outputs through an output buffer 43.

[0027] Drawing 9 is drawing for explaining the selection-signal generation circuit 45. As shown in drawing 9 (a), the selection-signal generation circuit 45 is equipped with a clock signal input terminal and a reset-signal input terminal, and the clock signal CLC for generating a selection signal is inputted from a clock signal input terminal. Moreover, from a reset-signal input terminal, a clock signal CLC and reset-signal RESET for resetting each flip-flops 51-53 are inputted.

[0028] The clock signal CLC inputted from the clock signal input terminal serves as the clock signal reversal CLC which is reversed with the Schmidt inverter 46, namely, is shown in drawing 9 (b), and is inputted into the one side input terminal of NOR circuit 47. Reset-signal RESET reversed twice by inverters 49 and 50 is inputted into the another side input terminal of NOR circuit 47. From NOR circuit 47, a signal as shown in drawing 9 (b) is outputted by this.

[0029] This signal is further inputted into the clock input terminal of a flip-flop 51 through an inverter 48. If each flip-flops 51-53 are equipped with the reset terminal R and reset-signal RESET is inputted, L and a reversal Q output will be reset for Q output by H. By this, a flip-flop 51 is the start of the beginning of the clock signal shown in drawing 9 (b), and inputs a reversal Q output, i.e., H, from D input. Subsequently, H is outputted, using a selection signal as A through inverters 54 and 55 from Q output. Moreover, a flip-flop 51 is the start of the following clock signal, inputs the reversal Q output L from D input, and outputs L of a selection signal A through inverters 54 and 55 from Q output. Hereafter, the selection signal A as shown in drawing 9 (b) is outputted similarly.

[0030] The reversal Q output of a flip-flop 51 is inputted into the clock signal input terminal of a flip-flop 52. As shown in drawing 9 (b), a flip-flop 52 inputs H which is a reversal Q output from D input in the start of the first clock signal. Subsequently, H of a selection signal B is outputted through inverters 56 and 57 from Q output. Moreover, a flip-flop 52 inputs L which is a reversal Q output from D input in the next start of a clock signal, and outputs L of a selection signal B through inverters 56 and 57 from Q output. Thus, the selection signal B shown in drawing 9 (b) is outputted.

[0031] Similarly, the reversal Q output of a flip-flop 52 is inputted into the clock signal input terminal of a flip-flop 53, and the selection signal C shown in drawing 9 (b) through inverters 58 and 59 from Q output of a flip-flop 53 is outputted.

[0032] Drawing 10 is a timing chart which shows actuation of each part of an indicating equipment 32. Drawing 10 (a) is a timing chart which shows actuation of the gate drive circuit 34, and drawing 10 (b) is a timing chart which shows actuation of near each part of a display panel 36. As shown in drawing 10 (a), the gate drive circuit 34 carries out the parallel output of the gate driving signals OG1-OG120 based on the clock signal CLS and start pulse SPS which are outputted from a control circuit 44.

[0033] The gate driving signals OG1-OG120 by which a parallel output is carried out are outputted to one output terminal through the by [8. duties.] OR circuit of the gate line 33 from the gate drive circuit 34. It connects with the input terminal 37 of the selector 35 prepared in a display-panel 36 side, and the output terminal by the side of the gate drive circuit 34 mounted by the TAB method outputs the gate driving signals X0, X1, —, Xn of the serial signal shown in drawing 10 (b).

[0034] A selector 35 is connected to a sequential selection target from a top at the driving signal input terminal 37 based on the table of truth value showing eight gate lines 33 which are chosen by the selection signal Inhibit of L inputted from the selection-signal generation circuit 45 of the exterior shown in drawing 9 (a), and are connected to the selected selector 35 in drawing 5 with selection signals A, B, and C. The gate driving signals x0-x7 are outputted to each first eight gate lines 33 from a top by this line sequential.

[0035] If a selection signal Inhibit is set to H after the gate driving signal x7 is outputted to 8 Motome's gate line 33, the selector 35 concerned will be intercepted and the selection signal Inhibit of the selector 35 connected to the following eight gate lines 33 will reverse it to L. Moreover, the gate driving signal X1 of a serial signal is inputted into the driving signal input terminal 37 of the 2nd selector 35 at coincidence, and 9 Motome's gate line 33 is connected to the driving signal input terminal 37 by selection signals A, B, and C. The gate driving signal x8 is outputted to 9 Motome's gate line 33 by this, and the gate driving signals x9-x15 are outputted to it line sequential following this. Similarly, a gate driving signal is outputted also to each following gate line 33 line sequential.

[0036] As mentioned above, according to this example, the selection signals A, B, and C from the outside and the selector 35 which performs alternative connection actuation by Inhibit are formed on the display panel 36 of the both ends of the gate line 33, and it connects eight gate lines 33 at a time to each selector 35. Furthermore, the driving signal input terminal 37 of each selector 35 and the output terminal of the gate drive circuit 34 are

connected by the TAB method. The connection number of the terminal of the gate line 33 and the gate drive circuit 34 can be conventionally decreased by this even from what was the number of the gate line 33 to the number of the driving signal input terminals 37 of a selector 35. Therefore, large spacing of the connection terminal of the gate line 33 and the gate drive circuit 34 can be taken. The gate drive circuit 34 can be mounted also in the display panel 36 with which the gate line 33 was formed in high density of this by the TAB method, and each gate line 33 can be driven from both ends. Since a gate driving signal is outputted to the both ends of the gate line 33, the voltage drop by the internal resistance of the gate line 33 can be suppressed low. Moreover, delay of the driving signal by the internal capacity of the gate line 33 and a wave-like distortion can be suppressed low similarly, and driver voltage can be faithfully impressed to a horizontal scanning period to each pixel. Moreover, when the gate drive circuit 34 is mounted in a display panel 36 and a faulty connection etc. is produced by this, only the gate drive circuit 34 can be exchanged.

[0037] Moreover, in this example, although the liquid crystal display of a active-matrix mold was explained, the liquid crystal display not only by the liquid crystal display of a active-matrix mold but other drive methods is sufficient as the indicating equipment of this invention, and they may be other indicating equipments using electroluminescence, light emitting diode, etc.

[0038] Furthermore, although the gate line was explained as a display signal line in this example about every 2 or the case where switch eight at a time by the selector, and a gate driving signal is outputted, the number of the display signal line switched by the selector may be how many, and may be carried out in relation to a source line. In this example, although eight gate lines were switched with three selection signals A, B, and C, 16 gate lines can be switched by using four selection signals A, B, C, and D. Thus, the connection number of the terminal of a display panel and an external circuit including a drive circuit can be decreased, so that the number of the display signal line switched by the selector is increased.

[0039] Moreover, in this example, although the same gate driving signal was impressed from the both ends of a gate line, a gate driving signal may be impressed from the one side edge of a gate line.

[0040] Moreover, not only the circuit explained using drawing 7 and drawing 9 in this example but other circuits may be used for an analog switch and a selection-signal generation circuit.

[0041]

[Effect of the Invention] According to this invention, the driving signal inputted into the input terminal from the driving means is alternatively outputted to the timing defined beforehand as mentioned above by the means for switching established for every display signal line of the number beforehand set to each of two or more display signal lines. Therefore, when connecting a driving means and a display panel, as compared with the case where a driving means is connected to each display signal line, the number of the connection terminal of a driving means and a display panel can be decreased that what is necessary is just to connect the input terminal prepared for every display signal line of the number appointed beforehand, and the output terminal of a driving means. By this, large spacing between the connection terminals of a driving means and a display panel can be taken. By this, the high definition high display of display grace can be obtained.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram showing the configuration of the whole indicating equipment 21 which is one example of this invention.

[Drawing 2] It is the circuit diagram showing the configuration of the pixel of a display 21.

[Drawing 3] It is the perspective view showing the configuration of the pixel of a display 21.
[Drawing 4] It is the block diagram showing the connection of the gate line 33 of an indicating equipment 32 and the gate drive circuit 34 which are other examples of this invention.
[Drawing 5] It is the table of truth value for explaining selection/actuation of a selector 35.
[Drawing 6] It is the block diagram showing the more detailed configuration of a selector 35.
[Drawing 7] It is the circuit diagram showing an example of the equal circuit of an analog switch 40.
[Drawing 8] It is the block diagram showing the configuration of the gate drive circuit 34.
[Drawing 9] It is drawing for explaining the selection-signal generation circuit 45.
[Drawing 10] It is the timing chart which shows actuation of each part of an indicating equipment 32.
[Drawing 11] It is the block diagram showing the configuration of the conventional whole liquid crystal display 1.
[Drawing 12] It is the block diagram showing the configuration of the conventional whole liquid crystal display 8.
[Drawing 13] It is the block diagram showing the configuration of the conventional whole liquid crystal display 13.

[Description of Notations]

21 Display
22 Display Panel
23 Gate Line
24 Source Line
25 Selector
26 Gate Drive Circuit
27 Source Drive Circuit

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-140439

(43) 公開日 平成7年(1995)6月2日

(51) Int.Cl.⁴

G 0 2 F 1/133

G 0 9 G 3/36

識別記号

5 5 0

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数1 OL (全 9 頁)

(21) 出願番号 特願平5-287038

(22) 出願日 平成5年(1993)11月16日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 井上 正巳

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72) 発明者 横井 俊之

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

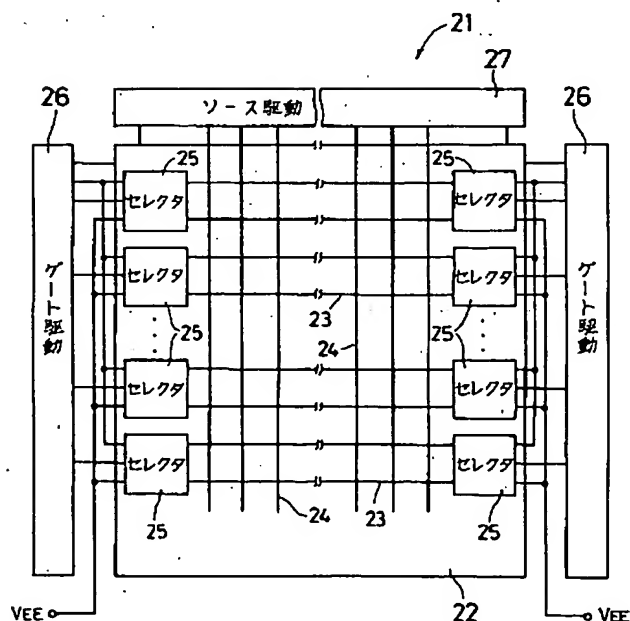
(74) 代理人 弁理士 西教 圭一郎

(54) 【発明の名称】 表示装置

(57) 【要約】

【目的】 表示品位の高い表示装置を提供する。

【構成】 マトリクス駆動方式の表示装置21の表示パネル22上であって、ゲートライン23の両端に、セレクトラ25を設け、各セレクトラ25にゲートライン23を2本ずつ接続する。各セレクトラ25に外部から入力される選択信号によって、セレクトラ25は、駆動信号入力端子に入力される駆動信号を各ゲートライン23に選択的に出力する。



(2)

【特許請求の範囲】

【請求項 1】 表示パネルと、前記表示パネルを駆動する駆動手段とを備えた表示装置において、

表示パネルは、

前記駆動手段からの駆動信号が与えられる複数の表示信号線と、

前記駆動手段からの駆動信号が入力される入力端子と、
 予め定める本数の表示信号線毎に設けられ、前記入力端子からの駆動信号を予め定めるタイミングで各表示信号線に選択的に出力する切換手段とを含むことを特徴とする表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、表示信号線に線順次に駆動信号が与えられる表示装置に関する。

【0002】

【従来の技術】図 11 は、従来の液晶表示装置 1 の全体の構成を示すブロック図である。図 11 は、特開平 1-101520 に開示される液晶表示装置 1 を示す。図 11 に示すように、液晶層を介在して対向する一対の基板のうちの一方基板 2 上に、互いに直交する方向に複数のゲートライン 3 と複数のソースライン 4 とが形成されている。また、基板 2 上の各画素に対応する領域には、マトリクス状に、図示しない画素電極が形成されており、前記各画素電極は図示しない TFT（薄膜トランジスタ）のドレインに接続されている。TFT のゲートはゲートライン 3 に接続され、TFT のソースはソースライン 4 に接続される。前記 TFT は、ゲートライン 3 を介してゲートに導通電位が印加されている間導通し、この間、ソース駆動回路 7 からのソース駆動信号が画素電極に印加される。このように、前記画素電極に対向して配置される図示しない対向電極と、画素電極との電位差によって、前記電極間に介在される液晶層が、ソース駆動信号に基づいて駆動される。

【0003】たとえばプロジェクト（投写）型液晶表示装置 1 のように、中型および小型のモジュールで高精細な表示品位を必要とされる液晶表示装置 1 では、ゲートライン 3 およびソースライン 4 などの信号線が非常に高密度に形成される。これに対し、TAB（Tape Automated Bonding）法などによる端子の接続構造においては、接続ピッチに限界がある。このため、ゲートライン 3 およびソースライン 4 は、図 11 に示す基板 2 の左右および上下方向に交互に引き出され、それぞれ TCP（Tape Carrier Package）5 などを実装されたゲート駆動回路 6 およびソース駆動回路 7 の各端子に接続される。

【0004】図 12 は、従来の液晶表示装置 8 の全体の構成を示すブロック図である。図 12 は、実開昭 64-40823 に開示される液晶表示装置 8 を示す。図 12 に示すように、基板 9 上に形成される液晶表示装置 8 のゲートライン 10 およびソースライン 11 は、基板 9 の

左右および上下方向両端部に引き出され、それぞれ TCP 12 上に実装されたゲート駆動回路 13 およびソース駆動回路 14 の各端子に接続される。

【0005】たとえば大型の液晶表示装置 8 などでは、ゲートライン 10 およびソースライン 11 などの信号線のもつ内部抵抗および内部容量によって、駆動信号の電圧降下および駆動信号の波形の歪みを生じる。この現象は、各信号線において駆動信号の入力端から遠い画素ほど顕著となる。このため、当該画素において、画素電極に印加される駆動信号のレベルが低くなり、また、駆動信号の印加時間が短くなる。これによって、当該画素の表示が駆動信号に基づく表示とは異なった電位が印加され、これが、垂直走査周期毎に起こるため、この画素が点滅しているように見え、フリッカを生じることになる。これを防止するために、大型の液晶表示装置 8 などでは、図 12 に示すように各ゲートライン 10 および各ソースライン 11 の両端部に接続された各ゲート駆動回路 13 およびソース駆動回路 14 によって、各ゲートライン 10 および各ソースライン 11 の両端部から同一のゲート駆動信号およびソース駆動信号が印加される。

【0006】図 13 は、従来の液晶表示装置 15 の全体の構成を示すブロック図である。図 13 は、特開昭 64-49022 に開示される液晶表示装置 15 を示す。図 13 に示すようにビューファインディング用などの表示面が 1 インチ角以下の液晶表示装置 15 では、基板 16 上に相互に直交する方向にゲートライン 17 およびソースライン 18 が形成され、基板 16 の端部に COG（Chip on Glass）法などによって実装されたベアチップ IC などから成るゲート駆動回路 19 およびソース駆動回路 20 などが接続される。このように、基板 16 上に直接駆動回路 19、20 を実装し、液晶表示装置 15 の小型化が図られている。

【0007】

【発明が解決しようとする課題】図 11 に示す液晶表示装置 1 では、高精細化によってゲートライン 3 の本数が増加すると、画素への書込み時間が短くなる。このため、液晶分子の動きが駆動信号に追従できないことによるコントラストむらや、信号線の容量に起因する駆動信号波形の歪みによるフリッカを生じ、表示品位の低下を招く。

【0008】図 12 に示す液晶表示装置 8 では、信号線 10、11 と駆動回路 13、14 との接続が 1:1 であるので、中型程度の液晶表示装置では端子間の接続ピッチが小さくなりすぎ、TAB 法によって接続することができない。

【0009】図 13 に示す液晶表示装置 15 では、液晶表示装置 15 全体を小型化することができ、高密度な信号線 17、18 と駆動回路 19、20 との接続も可能である。しかし、駆動回路 19、20 の実装工程が複雑で、接続不良などが発生したときに TAB 法のように駆

(3)

3

動回路19、20の貼換えができず、基板16全体を交換する必要がある。このため、コスト面でのデメリットが大きい。

【0010】本発明の目的は、前記課題を解消し、表示品位の高い表示装置を提供することである。

【0011】

【課題を解決するための手段】本発明は、表示パネルと、前記表示パネルを駆動する駆動手段とを備えた表示装置において、表示パネルは、前記駆動手段からの駆動信号が与えられる複数の表示信号線と、前記駆動手段からの駆動信号が入力される入力端子と、予め定める本数の表示信号線毎に設けられ、前記入力端子からの駆動信号を予め定めるタイミングで各表示信号線に選択的に出力する切換手段とを含むことを特徴とする表示装置である。

【0012】

【作用】本発明に従えば、表示パネルは、複数の表示信号線と、入力端子と、切換手段とを含んで構成される。駆動手段からの駆動信号は、入力端子に入力され、予め定める本数の表示信号線毎に設けられる切換手段によって、予め定めるタイミングで各表示信号線に選択的に出力される。

【0013】これによって、駆動手段と表示パネルとの間で接続される端子の数を、従来は表示信号線の数であったものから、切換手段に接続される入力端子の数にまで減少することができる。

【0014】

【実施例】図1は、本発明の一実施例である表示装置21の全体の構成を示すブロック図である。図1に示すように、表示パネル22上には、互いに直交する方向に複数の表示信号線であるゲートライン23とソースライン24とが形成される。ゲートライン23は、2本ずつ、ゲートライン23の両端に設けられた切換手段であるセレクト25に接続される。各セレクト25は、ゲートライン23の両端部にTAB法によって実装されたゲート駆動回路26とそれぞれ接続される。ゲートライン23の両端に設けられた各セレクト25は、同時に同一の1本のゲートライン23を選択し、ゲート駆動回路26から入力される同一のゲート駆動信号をゲートライン23の両端に出力する。各セレクト25は、外部に設けられる図示しない選択信号生成回路に接続され、選択信号生成回路から出力される選択信号によって駆動信号を出力すべきゲートライン23を選択する。選択されないゲートライン23には、外部から各セレクト25に入力されるゲートオフ電圧VEEが出力される。また、表示パネル22の残余の一方端部には、TAB法によって、ソース駆動回路27が実装される。各ソースライン24の一方端部は、前記ソース駆動回路27に接続され、ソース駆動回路27からのソース駆動信号が各ソースライン24に出力される。

4

【0015】図2は、表示装置21の各画素の電氣的構成を示す回路図であり、図3は表示装置21の画素の構成を示す斜視図である。本実施例の表示装置21は、アクティブマトリクス型の液晶表示装置であって、図2および図3に示すように、互いに直交する方向に形成されたゲートライン23とソースライン24とによって囲まれた各画素領域には、TFT28と前記TFT28に接続される画素電極29などが設けられる。TFT28のゲートはゲートライン23に接続され、ソースはソースライン24に接続される。また、TFT28のドレインは、画素電極29に接続される。TFT28は、ゲートライン23を介して、ゲートに導通電圧が印加されたとき導通する。このとき、ソースライン24からのソース駆動信号が画素電極29に印加される。図2に示すように、前記画素電極29に対して液晶層30を介して対向する基板上には、基板の全面に形成された対向電極31が配置されており、対向電位を与えられている。各画素の液晶層30は画素電極29と対向電極31との電位差によってソース駆動信号に基づいて駆動される。

【0016】図4は、本発明の他の実施例である表示装置32のゲートライン33とゲート駆動回路34との接続部を示すブロック図である。図4に示す表示装置32は、図1に示した表示装置21と同様、アクティブマトリクス型の液晶表示装置である。表示装置32は、表示信号線であるゲートライン33の両端が8本ずつ切換手段であるセレクト35に接続される。各セレクト35は、表示パネル36上のゲートライン33の両端部に形成され、外部回路からの選択信号A、B、C、Inhibitによって、セレクト35に接続されたゲートライン33を順に選択的に接続する。セレクト35の駆動信号入力端子37には、ゲート駆動回路34から、8本のゲートライン33に出力するゲート駆動信号がシリアル信号で入力される。

【0017】セレクト35は、選択信号A、B、Cによって、ゲート駆動信号の1周期毎にゲートライン33を線順次に駆動信号入力端子37に接続し、各ゲートライン33にゲート駆動信号を出力する。駆動信号入力端子37に接続されないゲートライン33には、図示しない電源からのゲートオフ電圧が印加される。当該セレクト35に接続された8本のゲートライン33の走査期間が終了すると、選択信号Inhibitによって、セレクト35の導通が遮断され、次のセレクト35に接続される8本のゲートライン33が線順次に選択される。

【0018】たとえば、図4に示すように、図4紙面にて上から8本のゲートライン33については、8本のゲートライン33が、表示パネル36上に形成された両側2個のセレクト35に接続されており、セレクト35には外部回路から選択信号A、B、C、Inhibitが入力される。セレクト35の駆動信号入力端子37には、ゲート駆動回路34から8本のゲートライン33に

(4)

5

それぞれ出力するゲート駆動信号 $x_0 \sim x_7$ がシリアル信号 X_0 で入力される。セクタ35は、シリアル信号 X_0 の1パルスの周期毎に、ゲートライン33を上から線順次に選択し、各ゲートライン33にゲート駆動信号 $x_0 \sim x_7$ を出力する。選択されないゲートライン33には、図示しない電源からのゲートオフ電圧 V_{EE} が印加される。ゲート駆動信号 x_7 の出力が終了すると、選択信号 $Inhibit$ によってセクタ35が遮断され、次のセクタ35が選択される。次のセクタ35に接続される8本のゲートライン33には上から線順次にゲート駆動信号 $x_8 \sim x_{15}$ が出力される。

【0019】図4では、ゲートライン33の一方端部についてのみ示したが、ゲートライン33の他方端部にも同様にゲート駆動回路34およびセクタ35などが備えられ、ゲートライン33の両端に同様にゲート駆動信号が出力される。

【0020】図5は、セクタ35の選択動作を説明するための真理値表である。選択信号 $A, B, C, Inhibit$ は、 H （ハイレベル）または L （ローレベル）の2値信号で入力される。図5に示す真理値表には、 H を「1」で、 L を「0」で表す。図5に示すように、選択信号 $Inhibit$ が L のとき、セクタ35は導通可能となり、選択信号 A, B, C の2値信号の組合わせによって8通りの選択出力をすることができる。たとえば、選択信号 A, B, C がすべて L のとき、最初のゲートライン33が選択され、次に選択信号 A だけが H になると、次のゲートライン33が選択される。以下、同様にして順次ゲートライン33が選択される。このように、1本のゲートライン33が選択される期間を、選択信号 A, B, C のパルス幅によって、ゲート駆動信号の1パルスの周期に等しく選ぶことによって、シリアル信号 X_0 から各ゲートライン33にゲート駆動信号 $x_0 \sim x_7$ をパラレル出力することができる。

【0021】図6は、セクタ35のより詳細な構成を示すブロック図である。図6(a)に示すように、セクタ35は、レベルコンバータ38とデコーダ39およびこれに接続される複数のアナログスイッチ40を含む。レベルコンバータ38は、外部電源から供給される電圧 V_{DL}, V_{EL} によって、選択信号 $A, B, C, Inhibit$ のレベルを、デコーダ39に検出可能なレベルに調整し、デコーダ39に出力する。デコーダ39は、図5に示した真理値表に基づいて、各ゲートライン33に接続されるアナログスイッチ40に選択的に制御信号を出力する。各アナログスイッチ40は、デコーダ39からの制御信号によって選択的に導通される。

【0022】各ゲートライン33は、図6(b)に示すように、抵抗 R を介して図示しないゲートオフ電源に接続されており、アナログスイッチ40が遮断されているときは、ゲートオフ電圧 V_{EE} が印加される。また、図6(a)に示すように、たとえば最初の8本である各ゲ

6

ートライン33には、アナログスイッチ40を介して、駆動信号入力端子37からシリアル信号のゲート駆動信号 X_0 が入力されており、アナログスイッチ40が、デコーダ39からの制御信号に基づいて、上から順次選択的に導通されることによって、各ゲートライン33にゲート駆動信号 $x_0 \sim x_7$ がパラレル出力される。

【0023】図7は、アナログスイッチ40の等価回路の一例を示す回路図である。図7に示すように、アナログスイッチ40は、双方向に入出力可能なスイッチであり、アナログ信号もデジタル信号も導通することができる。入出力端子部には、ダイオードと抵抗から成る電圧規制回路が接続され、アナログスイッチ40および表示装置32に過大な電圧がかかって、内部のトランジスタが破損することを防止する。デコーダ39からの制御信号は $C-MOS$ インバータに接続されるコントロール入力端子から入力される。

【0024】たとえば、コントロール入力端子に L の制御信号が入力されたとすると、 N チャネル FET から成るトランジスタ T_1 が導通し、 P チャネル FET から成るトランジスタ T_2 は、遮断される。したがって接続点 P での電位は $H(V_{DD})$ となり、接続点 Q での電位が L となる。したがって、 P 点にゲートが接続される P チャネルのトランジスタ T_3, T_4, T_5, T_8 は遮断される。また、接続点 Q にゲートが接続される N チャネルのトランジスタ T_6, T_7, T_9 もまた遮断される。これによって、アナログスイッチ40は遮断される。

【0025】これに対し、コントロール入力端子に H の制御信号が入力されると、 P チャネルのトランジスタ T_1 が導通し、 N チャネルのトランジスタ T_2 が遮断される。したがって接続点 P の電位は $L(V_E)$ となり、接続点 Q の電位は $H(V_{DD})$ となる。これによって、接続点 P にゲートが接続される P チャネルのトランジスタ T_3, T_4, T_5, T_8 は導通し、接続点 Q にゲートが接続される N チャネルのトランジスタ T_6, T_7, T_9 が導通する。これによってアナログスイッチ40の入出力端子間が導通される。

【0026】図8は、ゲート駆動回路34の構成を示すブロック図である。図8に示すように、ゲート駆動回路34は、シフトレジスタ41、レベルシフタ42および出力バッファ43とを含んで構成される、たとえば120出力の LSI から成る。シフトレジスタ41には、外部に設けられるコントロール回路44が接続される。コントロール回路44は、外部からのクロック信号 CL とスタートパルス SP とに基づいて、ゲート駆動回路34を駆動するためのクロック信号 CLS とスタートパルス SPS とを生成する。シフトレジスタ41は、クロック信号 CLS とスタートパルス SPS とに基づいて、順次ゲート駆動用パルスを出力する。レベルシフタ42は、シフトレジスタ41からのゲート駆動用パルスを、表示装置32に形成された TFT のオン/オフに必要な電圧

(5)

7

レベルの波形に変換する。このようにして生成されたゲート駆動信号は、出力バッファ43を介して8出力ずつ図示しないOR回路を介して1つの出力端子に出力される。

【0027】図9は、選択信号生成回路45を説明するための図である。図9(a)に示すように、選択信号生成回路45は、クロック信号入力端子とリセット信号入力端子とを備え、クロック信号入力端子からは選択信号を生成するためのクロック信号CLCが入力される。また、リセット信号入力端子からは、クロック信号CLCと、各フリップフロップ5.1～5.3をリセットするためのリセット信号RESETとが入力される。

【0028】クロック信号入力端子から入力されたクロック信号CLCは、シュミットインバータ4.6によって反転され、すなわち図9(b)に示すクロック信号反転CLCとなり、NOR回路4.7の一方入力端子に入力される。NOR回路4.7の他方入力端子には、インバータ4.9、5.0によって2回反転されたリセット信号RESETが入力される。これによって、NOR回路4.7からは、図9(b)に示すような信号が出力される。

【0029】この信号は、さらにインバータ4.8を介して、フリップフロップ5.1のクロック入力端子に入力される。各フリップフロップ5.1～5.3は、リセット端子Rを備え、リセット信号RESETが入力されると、Q出力はL、反転Q出力はHにリセットされる。これによって、フリップフロップ5.1は、図9(b)に示すクロック信号の最初の立上がりで、反転Q出力すなわちHをD入力から入力する。次いでQ出力からインバータ5.4、5.5を介して選択信号をAとして、Hを出力する。また、フリップフロップ5.1は、次のクロック信号の立上がりで、反転Q出力LをD入力から入力し、Q出力からインバータ5.4、5.5を介して、選択信号AのLを出力する。以下、同様にして、図9(b)に示すような、選択信号Aが出力される。

【0030】フリップフロップ5.2のクロック信号入力端子には、フリップフロップ5.1の反転Q出力が入力される。図9(b)に示すように、フリップフロップ5.2は、最初のクロック信号の立上がりで反転Q出力であるHをD入力から入力する。次いでQ出力からインバータ5.6、5.7を介して選択信号BのHを出力する。また、フリップフロップ5.2はクロック信号の次の立上がりで反転Q出力であるLをD入力から入力し、Q出力からインバータ5.6、5.7を介して選択信号BのLを出力する。このようにして、図9(b)に示す選択信号Bが出力される。

【0031】同様にして、フリップフロップ5.2の反転Q出力が、フリップフロップ5.3のクロック信号入力端子に入力され、フリップフロップ5.3のQ出力からインバータ5.8、5.9を介して図9(b)に示す選択信号Cが出力される。

8

【0032】図10は、表示装置3.2の各部の動作を示すタイミングチャートである。図10(a)は、ゲート駆動回路3.4の動作を示すタイミングチャートであり、図10(b)は、表示パネル3.6の側の各部の動作を示すタイミングチャートである。図10(a)に示すように、ゲート駆動回路3.4は、コントロール回路4.4から出力されるクロック信号CLSとスタートパルスSPSとに基づいて、ゲート駆動信号OG1～OG120をパラレル出力する。

【0033】ゲート駆動回路3.4からパラレル出力されるゲート駆動信号OG1～OG120は、ゲートライン3.3の8本分ずつOR回路を介して1本の出力端子に出力される。TAB法によって実装されるゲート駆動回路3.4側の出力端子は、表示パネル3.6側に設けられるセクタ3.5の入力端子3.7に接続され、図10(b)に示すシリアル信号のゲート駆動信号X0、X1、…、Xnを出力する。

【0034】セクタ3.5は、図9(a)に示した外部の選択信号生成回路4.5から入力されるLの選択信号Inhibitによって選択され、選択されたセクタ3.5に接続される8本のゲートライン3.3を選択信号A、B、Cによって、図5に示す真理値表に基づいて上から順次選択的に駆動信号入力端子3.7に接続する。これによって、最初の8本の各ゲートライン3.3に、ゲート駆動信号x0～x7が上から線順次に出力される。

【0035】8本目のゲートライン3.3に、ゲート駆動信号x7が出力された後、選択信号InhibitがHになると、当該セクタ3.5は遮断され、次の8本のゲートライン3.3に接続されるセクタ3.5の選択信号InhibitがLに反転する。また、同時に2番目のセクタ3.5の駆動信号入力端子3.7には、シリアル信号のゲート駆動信号X1が入力され、選択信号A、B、Cによって、9本目のゲートライン3.3が駆動信号入力端子3.7に接続される。これによって9本目のゲートライン3.3に、ゲート駆動信号x8が出力され、これに続いて線順次にゲート駆動信号x9～x15が出力される。同様にして、以下の各ゲートライン3.3にも線順次にゲート駆動信号が出力される。

【0036】以上のように本実施例によれば、ゲートライン3.3の両端の表示パネル3.6上に外部からの選択信号A、B、C、Inhibitによって選択的接続動作を行うセクタ3.5を設け、ゲートライン3.3を8本ずつ各セクタ3.5に接続する。さらに各セクタ3.5の駆動信号入力端子3.7と、ゲート駆動回路3.4の出力端子とをTAB法によって接続する。これによってゲートライン3.3とゲート駆動回路3.4との端子の接続本数を、従来はゲートライン3.3の本数であったものから、セクタ3.5の駆動信号入力端子3.7の数にまで減少することができる。したがってゲートライン3.3とゲート駆動回路3.4との接続端子の間隔を大きくとることがで

(6)

9

きる。これによってゲートライン33が高密度に形成された表示パネル36にも、TAB法によってゲート駆動回路34を実装することができ、また各ゲートライン33を両端から駆動することができる。ゲートライン33の両端にゲート駆動信号を出力するので、ゲートライン33の内部抵抗による電圧降下を低く抑えることができる。また、同様にゲートライン33の内部容量による駆動信号の遅延や波形の歪みを低く抑えることができ、各画素に対して水平走査期間に忠実に駆動電圧を印加することができる。また、これによって、表示パネル36にゲート駆動回路34を実装する際に、接続不良などを生じた場合には、ゲート駆動回路34だけを交換することができる。

【0037】また本実施例においては、アクティブマトリクス型の液晶表示装置について説明したが、本発明の表示装置は、アクティブマトリクス型の液晶表示装置に限らず、他の駆動方式による液晶表示装置でもよく、また、エレクトロルミネッセンスおよび発光ダイオードなどを用いた他の表示装置であってもよい。

【0038】さらに本実施例においては、表示信号線としてゲートラインを2本ずつまたは8本ずつセレクトで切換えてゲート駆動信号を出力する場合について説明したが、セレクトで切換える表示信号線の本数は何本であってもよく、ソースラインに関連して実施してもよい。本実施例では、3個の選択信号A、B、Cによって、8本のゲートラインを切換えたが、4個の選択信号A、B、C、Dを用いることによって16本のゲートラインを切換えることができる。このように、セレクトで切換える表示信号線の本数を増やすほど、表示パネルと駆動回路を含む外部回路との端子の接続本数を減少することができる。

【0039】また、本実施例においては、ゲートラインの両端から同一のゲート駆動信号を印加したが、ゲートラインの一方端部からゲート駆動信号を印加してもよい。

【0040】また、アナログスイッチおよび選択信号生成回路は、本実施例中で図7および図9を用いて説明した回路に限らず、他の回路を用いてもよい。

【0041】

【発明の効果】以上のように本発明によれば、複数の表示信号線のそれぞれに、予め定める本数の表示信号線毎に設けられた切換手段によって、駆動手段から入力端子に入力された駆動信号が予め定めるタイミングで選択的に出力される。したがって、駆動手段と表示パネルとを

10

接続する場合、予め定める本数の表示信号線毎に設けられる入力端子と、駆動手段の出力端子とを接続するだけでよく、各表示信号線に駆動手段を接続する場合と比較して駆動手段と表示パネルとの接続端子の本数を減少することができる。これによって、駆動手段と表示パネルとの接続端子間の間隔を大きくとることができる。これによって、表示品位の高い高精細な表示装置を得ることができる。

【図面の簡単な説明】

10 【図1】本発明の一実施例である表示装置21の全体の構成を示すブロック図である。

【図2】表示装置21の画素の構成を示す回路図である。

【図3】表示装置21の画素の構成を示す斜視図である。

【図4】本発明の他の実施例である表示装置32のゲートライン33とゲート駆動回路34との接続部を示すブロック図である。

20 【図5】セレクト35の選択動作を説明するための真理値表である。

【図6】セレクト35のより詳細な構成を示すブロック図である。

【図7】アナログスイッチ40の等価回路の一例を示す回路図である。

【図8】ゲート駆動回路34の構成を示すブロック図である。

【図9】選択信号生成回路45を説明するための図である。

30 【図10】表示装置32の各部の動作を示すタイミングチャートである。

【図11】従来の液晶表示装置1の全体の構成を示すブロック図である。

【図12】従来の液晶表示装置8の全体の構成を示すブロック図である。

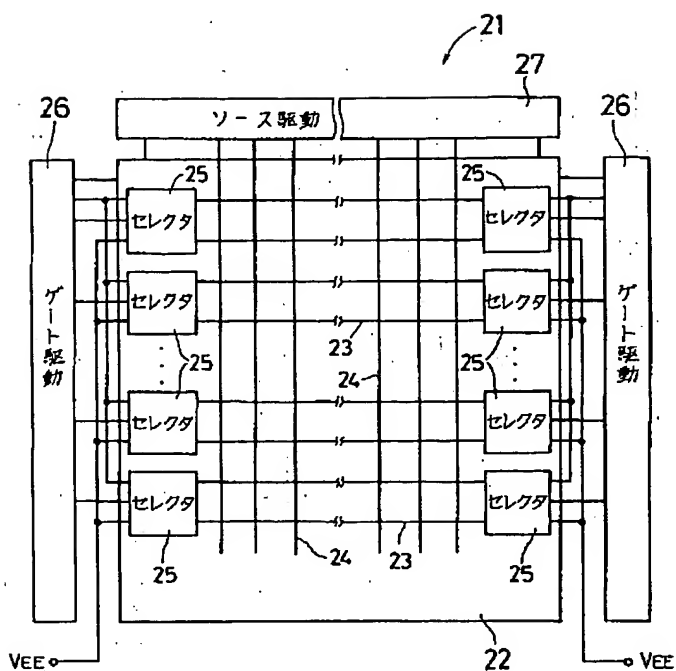
【図13】従来の液晶表示装置13の全体の構成を示すブロック図である。

【符号の説明】

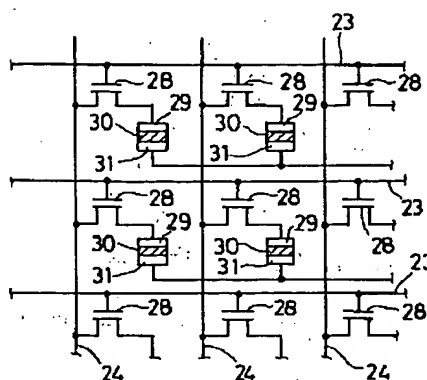
21 表示装置
22 表示パネル
23 ゲートライン
24 ソースライン
25 セレクト
26 ゲート駆動回路
27 ソース駆動回路

(7)

【図1】



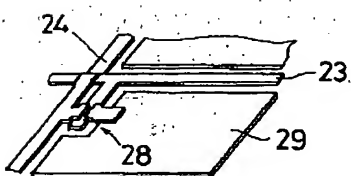
【図2】



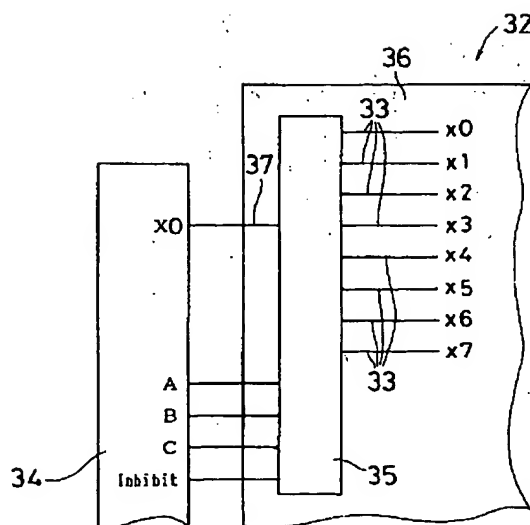
【図5】

| コントロール入力 | | | | 出力 |
|----------|-----|---|---|--------|
| Inhibit | 選 択 | | | |
| | C | B | A | OUTPUT |
| 0 | 0 | 0 | 0 | x0 |
| 0 | 0 | 0 | 1 | x1 |
| 0 | 0 | 1 | 0 | x2 |
| 0 | 0 | 1 | 1 | x3 |
| 0 | 1 | 0 | 0 | x4 |
| 0 | 1 | 0 | 1 | x5 |
| 0 | 1 | 1 | 0 | x6 |
| 0 | 1 | 1 | 1 | x7 |
| 1 | x | x | x | - |

【図3】

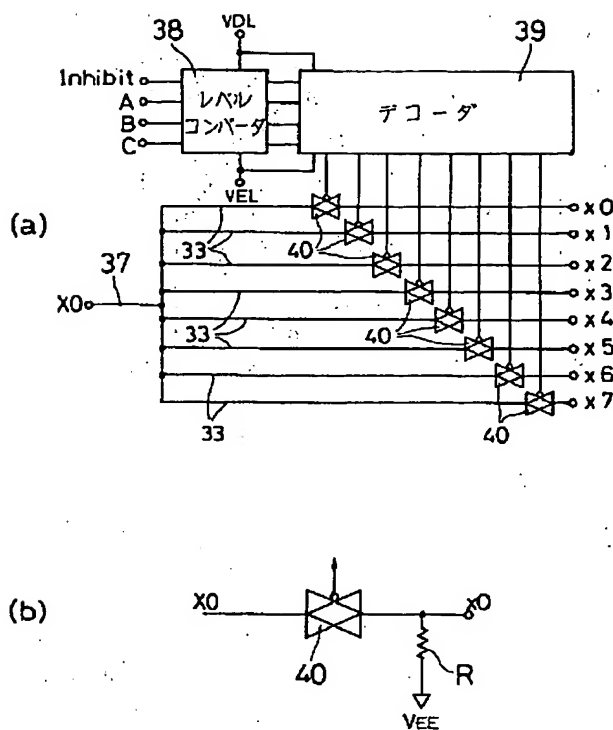


【図4】

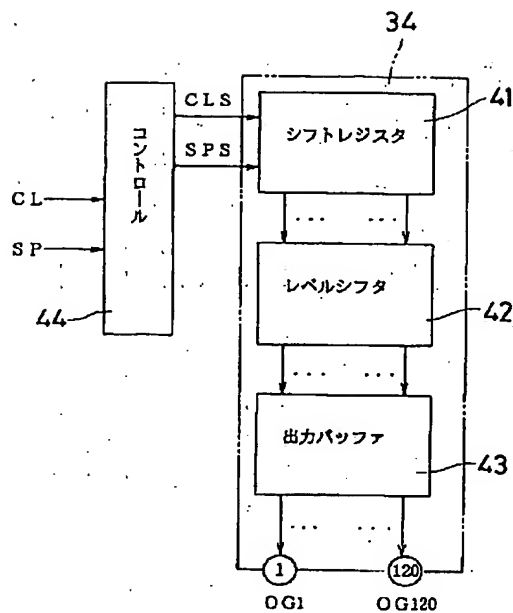


(8)

【図 6】

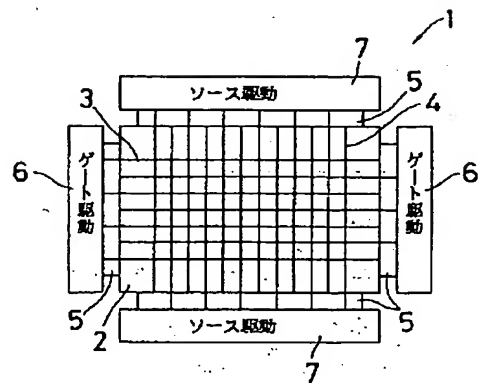
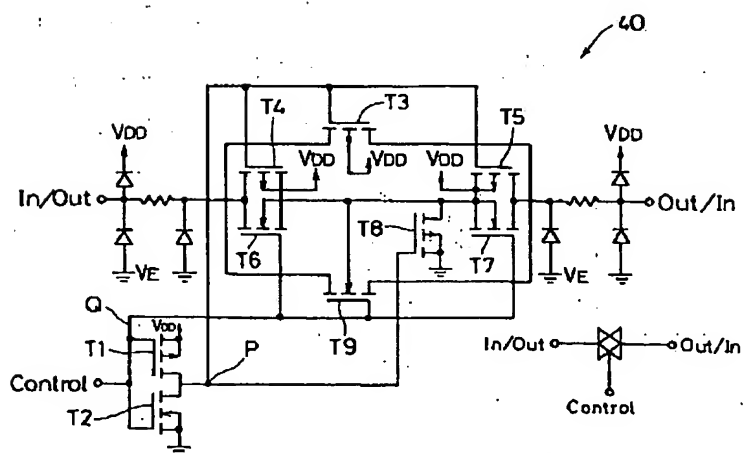


【図 8】

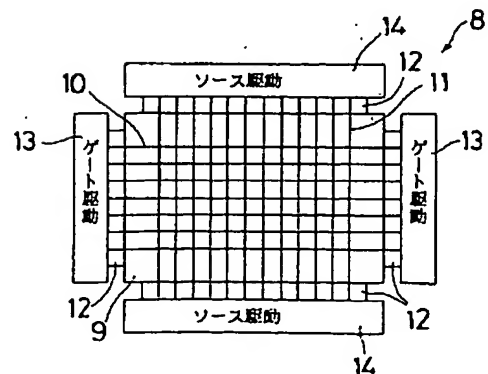


【図 11】

【図 7】

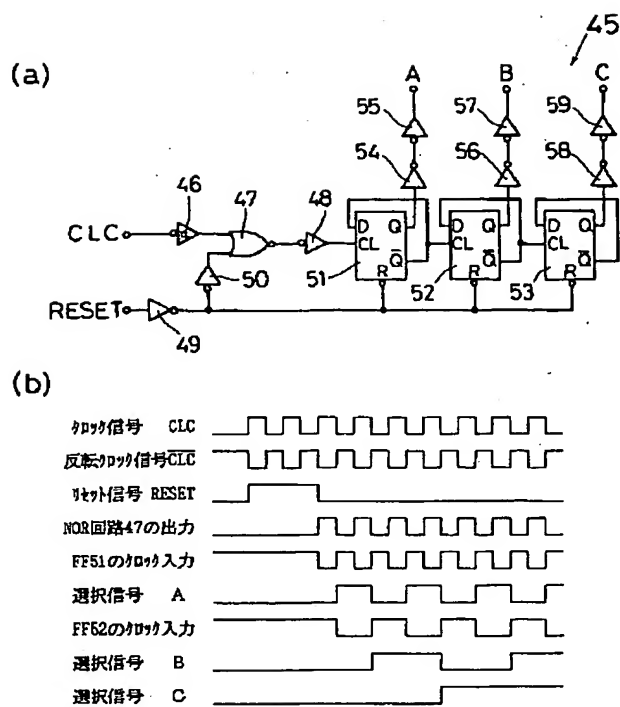


【図 12】

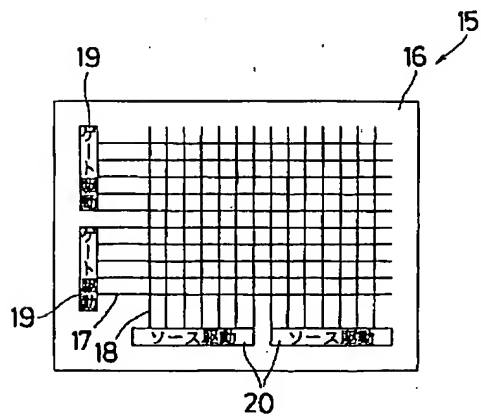


(9)

【図 9】



【図 13】



【図 10】

